

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(11) Publication No.1020010068378 (43) Publication.Date. 20010723
(21) Application No.1020000000285 (22) Application Date. 20000105
(51) IPC Code:
H01L 23/48

(71) Applicant:
HYNIX SEMICONDUCTOR INC.
(72) Inventor:
HA, SEONG GWON
KIM, JONG HEON
(30) Priority:

Representative drawing

PURPOSE: A semiconductor package and a method for manufacturing the package are provided to prevent a solder ball from being isolated from a package body by increasing the adhesive intensity between the solder ball and the package body and improve the capacity and the reliability of a package by easily selecting a material in composing a metal layer inside of a Wafer Level Chip Size Package(WLCSP).

CONSTITUTION: The semiconductor package includes a semiconductor substrate(100), a plurality of chip pads (103), an irregular metal pattern(107) and an outer terminal. The plurality of chip pads are formed on the semiconductor substrate apart as a predetermined space. The irregular metal pattern is electrically connected to the chip pad. The outer terminal is electrically connected to the metal pattern. The irregular metal pattern includes the first metal pattern which is formed on the chip pad and the second metal pattern which is formed on the first metal pattern and irregular. The metal pattern is composed of Ti or Ni.

109 111 109 125 107 115 103 113 105 100

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. ⁶

(11) 등록번호 10-0386081

H01L 23 /48

(24) 등록일자 2003년05월20일

(21) 출원번호 10-2000-0000285

(65) 공개번호 특2001-0068378

(22) 출원일자 2000년01월05일

(43) 공개일자 2001년07월23일

(73) 특허권자 주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자 하성권

경기도의정부시의정부4동214-51C/6

김중현

충청북도청주시흥덕구봉명2동LG사원아파트가동703호

(74) 대리인

박장원

심사관 : 정해근

(54) 반도체 패키지 및 그 제조 방법

요약

본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 특히 요철 형태의 금속 패턴을 이용하여 솔더(solder)와 패키지 용체와의 접착력을 강화시켜 패키지의 안정성을 향상시킨 반도체 패키지 및 그 제조 방법에 관한 것이다. 이를 위하여 본 발명에 따른 반도체 패키지는 반도체 기판과; 상기 반도체 기판 상면에 소정 간격으로 이격되어 형성된 복수개의 칩 패드와; 상기 칩 패드 상면에 형성된 제 1 금속 패턴과; 상기 제 1 금속 패턴 상면에 형성된 요철 형태의 제 2 금속 패턴과; 상기 제 2 금속 패턴과 전기적으로 연결된 외부 단자를 포함하여 구성된 것을 특징으로 한다. 또한 본 발명에 따른 반도체 패키지 제조 방법은 반도체 기판 상면에 복수의 칩 패드를 소정 간격으로 이격되도록 형성하는 단계와; 상기 칩 패드 상면에 제 1 금속 패턴을 형성하는 단계와; 상기 제 1 금속 패턴 상면에 요철 형태의 제 2 금속 패턴을 형성하는 단계와; 상기 제 2 금속 패턴과 전기적으로 연결된 외부 단자를 형성하는 단계를 포함하는 것을 특징으로 한다.

도면

도 1

도 2

도 3의 간단한 설명

도 1 은 종래의 웨이퍼 레벨 칩 사이즈 패키지(WLCSP)를 도시한 단면도.

도 2 는 본 발명의 실시예에 따른 웨이퍼 레벨 칩 사이즈 패키지(WLCSP)를 도시한 단면도.

도 3(a) ~ 도 3(j)는 본 발명의 실시예에 따른 웨이퍼 레벨 칩 사이즈 패키지를 제조하기 위한 제 1 제조 방법의 순차적인 공정 단계를 도시한 공정 단면도.

도 4(a) ~ 도 4(k)는 본 발명의 실시예에 따른 웨이퍼 레벨 칩 사이즈 패키지를 제조하기 위한 제 2 제조 방법의 순차적인 공정 단계를 도시한 공정 단면도.

****도면의주요부분에대한부호설명****

5 : 패시베이션 층 7 : UBM

100 : 반도체 기판 103 : 칩 패드

105 : 제 1 절연층 107 : 제 1 금속 패턴

109 : 제 2 금속 패턴 113 : 제 2 절연층

115 : 솔더 마스크 111 : 솔더 볼

106 : 금속층 112 : 감광층

114 : 요철 형태의 감광층 패턴

125 : WLCSP 135 : BCB 층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조 방법에 관한 것으로, 특히 요철 형태의 금속 패턴을 이용하여 솔더(solder)와 패키지 몸체와의 접착력을 강화시켜 패키지의 안정성을 향상시킨 반도체 패키지 및 그 제조 방법에 관한 것이다.

마이크로프로세서나 주문형 반도체(ASIC) 등 비메모리 제품을 중심으로 경박 단소화에 대한 요구가 급진전되면서 다핀화에 유리하도록 구(ball) 형태의 외부 단자를 패키지 밑면에 배열하는 BGA(Ball Grid Array)가 주력 반도체 패키지 형태로 자리잡아가고 있다.

BGA는 PGA(Pin Grid Array)와 플립 칩(Flip Chip) 개념을 상호 수용한 것으로 기존의 반도체 패키지가 차지하는 공간을 60% 가까이 줄일 수 있으며, 전기적열적 수행 능력도 40% 까지 향상됨은 물론 300 핀(pin) 이상의 다핀으로 갈수록 비용 면에서도 유리하다.

최근에는 반도체 칩과 패키지의 크기가 거의 차이가 없을 정도로 작은 각종 CSP(Chip Size Package) 기술이 등장하기 시작했으며, 이 기술은 반도체의 소형, 고속, 고집적화 추세에 힘입어 예상보다 훨씬 빠르게 확산되고 있다.

이와 함께 칩을 절단하지 않은 웨이퍼(wafer) 상태에서 모든 조립 과정을 마치는 웨이퍼 레벨 패키지(wafer level package) 기술이 차세대 CSP 기술로 각광 받고 있다. 현재까지의 반도체 조립 공정은 웨이퍼를 각각의 칩으로 절단한 후

이루어지는데 반해, 웨이퍼 레벨 패키지 기술은 여러 칩들이 붙어있는 웨이퍼 상태에서 다이 본딩(die bonding), 와이어 본딩(wire bonding), 몰딩(molding) 등의 일련의 조립 공정을 마친 후 이를 절단해 곧바로 완제품을 만든다. 따라서, 0. 기술들을 적용할 경우 현재 선보이고 있는 CSP 기술보다 전체적인 패키지 비용을 더욱 낮출 수 있다.

도 1 에는 종래의 웨이퍼 레벨 칩 사이즈 패키지(WLCSP:wafer level chip size package)(이하 WLCSP 라 칭함)가 도시되어 있다.

도시된 바와 같이, 웨이퍼(1) 상면에 칩 패드(chip pad)(3)가 소정 거리로 이격되어 형성되고, 상기 칩 패드(3) 상면의 소정 영역이 노출되도록 상기 웨이퍼(1)의 상면에 패시베이션(passivation layer)(5)이 형성된다. 상기 패시베이션층(5)을 통해 노출된 상기 칩 패드(3)의 상면에는 UBM(Under Bump Metallurgy)(7)가 형성된다. 상기 UBM(7)은 칩 패드(3)와 후술하는 솔더 볼(solder ball)(9)과의 접착 강화를 위해 형성되며, 보통 2 ~ 3 층의 금속 다층으로 이루어진다. 상기 UBM(7)을 형성한 후에는 상기 UBM와 패시베이션층(5) 상면에 솔더 페이스트(solder paste)를 도포한 후, 리플로(reflow)공정을 거쳐 솔더 볼(solder ball)(9)을 형성함으로써 WLCSP가 제조된다.

종래의 WLCSP에서 가장 문제가 되는 것은 솔더 볼(9)과 UBM 사이의 접착력이 약하다는 점이다. 이로 인하여, 칩의 지속적인 스위칭(switching) 동작 후, 솔더 볼과 UBM 사이의 약한 접착력으로 인한 박리 현상이 발생하여, 솔더 볼이 패키지 몸체로부터 분리될 가능성이 높다. 종래의 WLCSP의 또 다른 문제점은 UBM을 이루는 물질의 조합이 어렵다는 점이다.

발명이 이루고자하는 기술적 과제

본 발명은 상기의 문제점들을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 솔더 볼(solder ball)과 패키지 몸체와의 접착 강도를 증대시켜 솔더 볼이 패키지 몸체로부터 분리되는 것을 방지하는 것이다.

본 발명의 다른 목적은 WLCSP 내의 금속층을 구성하는데 있어서, 재료의 선택을 용이하게 하여 패키지의 성능과 신뢰성을 향상시킬 수 있도록 하는 것이다.

상기의 목적을 달성하기 위하여 본 발명의 실시예에 따른 WLCSP는 요철 형태의 금속 패턴을 이용하여 솔더(solder)와 패키지 몸체와의 접착력을 강화시켜 패키지의 안정성을 향상시킨다.

이를 위하여 본 발명의 실시예에 따른 반도체 패키지는 반도체 기판과; 상기 반도체 기판 상면에 소정 간격으로 이격되어 형성된 복수개의 칩 패드와; 상기 칩 패드의 상면에 전기적으로 연결되도록 형성되는 제 1 금속 패턴과, 상기 제 1 금속 패턴 상면에 전기적으로 연결되도록 형성된 제 2 금속 패턴을 포함하는 금속 패턴과; 상기 금속 패턴중 제 2 금속 패턴의 요철부위에 전기적으로 연결된 외부 단자를 포함하여 구성된 것에 있어서, 상기 제 2 금속 패턴은 상기 외부 단자에 매립될 수 있도록 요철 형태로 형성된 것을 특징으로 한다.

또한 본 발명의 실시예에 따른 반도체 패키지 제조 방법은 반도체 기판 상면에 복수의 칩 패드를 소정 간격으로 이격되도록 형성하는 단계와; 상기 칩 패드 상면에 제 1 금속 패턴을 형성하는 단계와; 상기 제 1 금속 패턴 상면에 감광층을 도포하는 공정과, 상기 감광층을 패터닝하여 요철 형태의 감광층 패턴을 형성하는 공정과, 상기 요철 형태의 감광층 패턴 사이의 공간에 금속층을 형성하는 공정과, 상기 요철 형태의 감광층 패턴을 제거하여 상기 제 1 금속 패턴 상면에 요철 형태의 제 2 금속 패턴을 형성하는 단계와; 상기 제 2 금속 패턴이 매립되는 상태로 외부 단자를 형성하여 상기 제 2 금속 패턴에 외부 단자를 전기적으로 연결하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

본 발명의 구성 및 작용

이하, 본 발명의 실시예에 따른 반도체 소자의 구조 및 제조 방법을 첨부 도면을 참조하여 상세히 설명한다. 이하에서는 웨이퍼 레벨 칩 사이즈 패키지(WLCSP)를 예로 들어 설명하지만, 본 발명은 다른 형태의 패키지에도 적용이 가능하다.

도 2 에는 본 발명의 실시예에 의한 WLCSP(125)가 도시되어 있다.

도시된 바와 같이, 복수의 칩 패드(103)가 웨이퍼 상태의 반도체 기판(100) 상면에 소정 간격으로 이격되어 형성된다. 상기 칩 패드(103)가 형성되지 않은 반도체 기판 상면에는 주로 폴리마이드(polymide) 또는 BCB(benzocyclobutene) 등으로 이루어진 제 1 절연층(105)이 형성된다. 상기 칩 패드(103)와 제 1 절연층(105) 상면에는 각각의 칩 패드(103)와 전기적으로 연결되는 제 1 금속 패턴(107)이 이격되어 형성된다. 상기 제 1 금속 패턴(107)을 이루는 재료로는 티타늄(Ti), 알루미늄(Al), 크롬(Cr) 등이 이용될 수 있으며, 특히 본 실시예에서는 고분자 물질(polymer) 및 반도체 기판 상의 질화물, 산화물 등과의 접착력이 우수하고 접촉 저항(contact resistance)이 작은 티타늄(Ti)을 이용한다. 상기 제 1 금속 패턴(107) 상면의 소정 영역에는 제 2 금속 패턴(109)이 요철 형태를 이루면서 형성된다. 상기 제 2 금속 패턴(109)을 이루는 재료로는 여러 가지 금속이 이용될 수 있지만, 특히 본 실시예에서는 솔더(solder)와의 접착력이 우수하고, 솔더와의 반응성이 작은 니켈(Ni)을 이용한다. 상기 제 1 절연층(105)과 제 1 금속 패턴(107) 상면에는 상기 제 1 절연층(105), 제 1 금속 패턴(107) 및 제 2 금속 패턴(109)을 밀봉하도록 주로 감광층(photoresist) 또는 BCB 등으로 이루어진 제 2 절연층(113)이 두껍게 형성된다. 이 때 상기 제 2 금속 패턴(109)의 상면 및 소정 영역의 측면은 밀봉되지 않는다. 본 실시예에서 상기 제 2 절연층(113)은 감광 물질(photoresist) 또는 BCB로 이루어진다. 상기 제 2 절연층(113) 상면에는 상기 제 2 금속 패턴(109)이 노출되도록 솔더 마스크(solder mask)(115)가 형성된다. 상기 솔더 마스크(115)는 금속 배선을 보호하는 역할과 솔더 볼(111)이 놓일 위치를 정해주는 역할을 한다. 상기 솔더 마스크(115)는 상기 제 2 절연층(113)이 BCB로 이루어진 경우에는 생략 가능하다. 상기 솔더 마스크(115)를 통해 노출된 상기 제 2 금속 패턴(109)의 상면에는, 제 2 금속 패턴의 상면 및 소정 영역의 측면과 전기적으로 연결되는 솔더 볼(111)이 외부 단자로서 형성된다.

도 3(a) ~ 도 3(j)에는 본 발명의 실시예에 따른 반도체 패키지를 제조하기 위한 제 1 방법이 도시되어 있다.

먼저 도 3(a)에 도시된 바와 같이, 상면에 복수의 칩 패드(103)가 소정 간격으로 이격되어 형성된 웨이퍼(wafer) 상태의 반도체 기판(100)을 준비한다.

다음으로 도 3(b)에 도시된 바와 같이, 상기 반도체 기판(100)과 칩 패드(103) 상면에 폴리마이드 또는 BCB를 도포(coating)한 뒤 패터닝을 하여 상기 칩 패드(103)의 상면이 노출되도록 제 1 절연층(105)을 형성한다.

다음으로 도 3(c)에 도시된 바와 같이, 상기 제 1 절연층(105)과 노출된 칩 패드(103)의 상면에 티타늄(106)을 스퍼터링(sputtering) 방법 등의 증착 방법을 사용하여 증착형성한다.

다음으로 도 3(d)에 도시된 바와 같이, 상기 금속층(106)을 패터닝하여 각각 상기 칩 패드(103)와 전기적으로 연결되는 제 1 금속 패턴(107)을 형성하는 패드 재배포치(pad redistribution) 공정을 실시한다.

상기의 패드 재배포치 공정을 실시하는 까닭은 상기 칩 패드(103)의 배열 피치(pitch)가 100 ~ 150 μm 정도로 작기 때문에, 칩 패드 상에 직접 솔더 볼(111)을 형성하는 것이 어렵고, 또한 패키지의 제조가 완료된 후 인쇄 회로 기판(PCB)에 실장할 때 솔더 볼(111) 사이의 간격과 배열을 조절하기 위해서이다.

다음으로 도 3(e)에 도시된 바와 같이, 상기 제 1 금속 패턴(107)과 제 1 절연층(105) 상면에 감광층(112)을 두껍게 도포 형성한다.

다음으로 도 3(f)에 도시된 바와 같이, 상기 제 1 금속 패턴(107) 상의 소정 영역에 요철 형태의 감광층 패턴(114)이 형성되도록 상기 감광층(112)을 패터닝하여 제 2 절연층(113)을 형성한다.

다음으로 도 3(g)에 도시된 바와 같이, 상기 요철 형태의 감광층 패턴(114) 사이의 공간(114')에 니켈을 채워 넣어서 요철 형태의 제 2 금속 패턴(109)을 형성한다. 상기의 니켈을 채워 넣는 공정은 스퍼터링(sputtering) 등의 증착 방법을 이용하여 실시할 수도 있지만, 이 경우에는 두께에 제약이 있기 때문에 본 실시예에서는 무전해 도금(electro-plating) 방법을 사용한다.

다음으로 도 3(h)에 도시된 바와 같이, 상기 제 2 금속 패턴(109)과 요철 형태의 감광층 패턴(114)이 노출되도록, 상기

제 2 절연층(113) 상면에 솔더 마스크(solder mask)(115)를 형성한다. 상기 솔더 마스크(115)는 후속하는 솔더 페이스트(solder paste) 도포 및 리플로(reflow) 공정 중 솔더(solder)가 필요 없는 부분에 묻는 것을 방지하는 역할을 한다.

다음으로 도 3(i)에 도시된 바와 같이, 상기 솔더 마스크(115)를 통하여 노출된 상기 요철 형태의 감광층 패턴(114)을 제거한다.

다음으로 도 3(i)에 도시된 패키지 용체(120)의 상면에 솔더 페이스트(solder paste)를 도포한 뒤, 리플로(reflow) 공정을 실시하여, 상기 제 2 금속 패턴(109)의 노출된 상면 및 측면과 전기적으로 연결된 솔더 볼(111)을 외부 단자로 형성함으로써 본 발명의 실시예에 따른 WLCSP(125)가 완성된다.

도 4(a) ~ 도 4(k)에는 본 발명의 실시예에 따른 반도체 패키지를 제조하기 위한 제 2 제조 방법이 도시되어 있다.

먼저 도 4(a)에 도시된 바와 같이, 상면에 복수의 칩 패드(103)가 소정 간격으로 이격되어 형성된 웨이퍼 상태의 반도체 기판(100)을 준비한다.

다음으로 도 4(b)에 도시된 바와 같이, 상기 반도체 기판(100)과 칩 패드(103) 상면에 폴리마이드 또는 BCB를 도포(coating)한 뒤 패턴닝을 하여 상기 칩 패드(103)의 상면이 노출되도록 제 1 절연층(105)을 형성한다.

다음으로 도 4(c)에 도시된 바와 같이, 상기 제 1 절연층(105)과 노출된 칩 패드(103)의 상면에 티타늄(106)을 스퍼터링(sputtering) 방법 등의 증착 방법을 사용하여 증착형성한다.

다음으로 도 4(d)에 도시된 바와 같이, 상기 금속층(106)을 패턴닝하여 각각 상기 칩 패드(103)와 전기적으로 연결되는 제 1 금속 패턴(107)을 형성하는 패드 재배포(pad redistribution) 공정을 실시한다.

다음으로 도 4(e)에 도시된 바와 같이, 상기 제 1 금속 패턴(107)과 제 1 절연층(105) 상면에 감광층(112)을 두껍게 도포형성한다.

다음으로 도 4(f)에 도시된 바와 같이, 상기 제 1 금속 패턴(107) 상의 소정 영역에 요철 형태의 감광층 패턴(114)이 형성되도록 상기 감광층(112)을 패턴닝한다.

다음으로 도 4(g)에 도시된 바와 같이, 상기 요철 형태의 감광층 패턴(114) 사이의 공간(114')에 니켈을 무전해 도금 등의 방법으로 채워 넣어서 요철 형태의 제 2 금속 패턴(109)을 형성한다.

다음으로 도 4(h)에 도시된 바와 같이, 도 4(g)에 도시된 요철 형태의 감광층 패턴(114)을 포함한 모든 감광층(114, 112)을 제거한다.

다음으로 도 4(i)에 도시된 바와 같이, 도 4(h)에 도시된 패키지 용체(130)의 상면에 BCB 층(135)을 두껍게 도포하여 상기 요철 형태의 제 2 금속 패턴(109)을 밀봉한다.

다음으로 도 4(j)에 도시된 바와 같이, 상기 제 2 금속 패턴(109)의 상면 및 소정 영역의 측면이 노출되도록, 상기 BCB 층(135)을 패턴닝하여 제 2 절연층(113)을 형성한다.

다음으로 도 4(k)에 도시된 바와 같이, 도 4(j)에 도시된 패키지 용체(140)의 상면에 솔더 페이스트를 도포한 뒤 리플로 공정을 실시하여, 상기 제 2 금속 패턴(109)의 노출된 상면 및 측면과 전기적으로 연결된 솔더 볼(111)을 외부 단자로서 형성함으로써 본 발명의 실시예에 따른 WLCSP(125)가 완성된다.

이때, 상기 제 2 금속 패턴(109)은 요철 형태로 형성되어 있기 때문에 제 2 금속 패턴(109)이 솔더 볼(111)에 매립되는 상태로 인터록킹(Interlocking)되어 솔더 볼(111)의 점착이 견고하게 이루어지게 된다.

(5) 효과

상기한 바와 같은 본 발명에 따른 반도체 패키지에서는 패키지 용체 중 솔더 볼과 접착 되는 부분이 요철 형태를 가지는 금속으로 형성되어 있기 때문에, 접착되는 면이 증가하여 솔더 볼과 패키지 용체 사이의 접착 강도가 증가하는 효과가 있다. 그 결과, 솔더 볼이 패키지 용체로부터 분리되는 것을 방지하여 반도체 패키지의 신뢰성을 향상시킬 수 있는 효과가 있다.

또한 본 발명에 따른 반도체 패키지에서는 패키지 내의 금속층을 구성하는 데 있어서, 각각의 금속층이 별개의 공정으로 형성되기 때문에 각 금속층의 재료를 선정하기가 용이해지는 효과가 있다.

또한 본 발명에 따른 반도체 패키지는 기존의 패키지 공정과 동일한 공정 장비와 공정 방법을 사용하여 제조할 수 있기 때문에, 기술의 적용이 용이하다는 효과가 있다.

발명은 상기에 설명되고 도면에 예시된 것에 의해 한정되는 것은 아니며, 다음에 기재되는 청구의 범위 내에서 더 많은 변형 및 변용예가 가능한 것임은 물론이다.

(5) 청구의 범위

청구항 1. 반도체 기판과; 상기 반도체 기판 상면에 소정 간격으로 이격되어 형성된 복수개의 칩 패드와; 상기 칩 패드의 상면에 전기적으로 연결되도록 형성되는 제 1 금속 패턴과, 상기 제 1 금속 패턴 상면에 전기적으로 연결되도록 형성된 제 2 금속 패턴을 포함하는 금속 패턴과; 상기 금속 패턴중 제 2 금속 패턴의 요철부위에 전기적으로 연결된 외부 단자를 포함하여 구성된 것에 있어서, 상기 제 2 금속 패턴은 상기 외부 단자에 매립될 수 있도록 요철 형태로 형성된 것을 특징으로 하는 반도체 패키지.

청구항 2. 삭제

청구항 3. 삭제

청구항 4. 반도체 기판 상면에 복수의 칩 패드를 소정 간격으로 이격되도록 형성하는 단계와;

상기 칩 패드 상면에 제 1 금속 패턴을 형성하는 단계와;

상기 제 1 금속 패턴 상면에 감광층을 도포하는 공정과, 상기 감광층을 패터닝하여 요철 형태의 감광층 패턴을 형성하는 공정과, 상기 요철 형태의 감광층 패턴 사이의 공간에 금속층을 형성하는 공정과, 상기 요철 형태의 감광층 패턴을 제거하여 상기 제 1 금속 패턴 상면에 요철 형태의 제 2 금속 패턴을 형성하는 단계와;

상기 제 2 금속 패턴이 매립되는 상태로 외부 단자를 형성하여 상기 제 2 금속 패턴에 외부 단자를 전기적으로 연결하는 단계를 포함하여 이루어지는 반도체 패키지 제조 방법.

청구항 5. 삭제

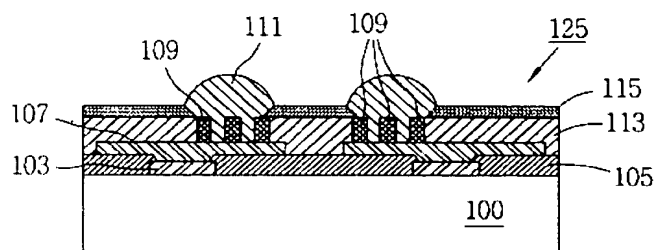
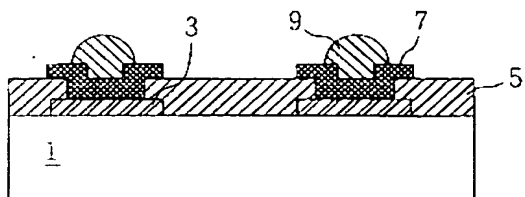


FIG. 3a

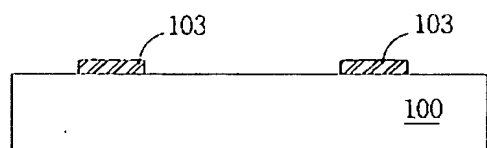
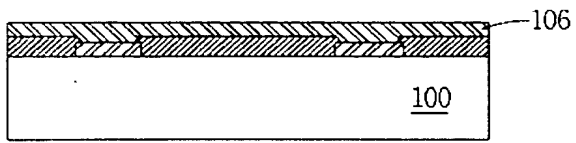


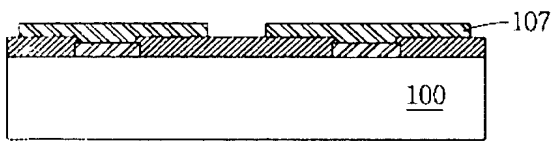
FIG. 3b



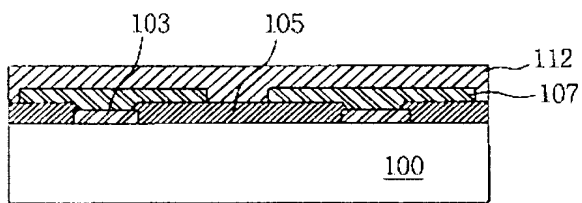
도면 3c



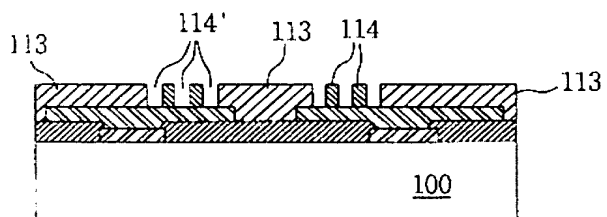
도면 3d



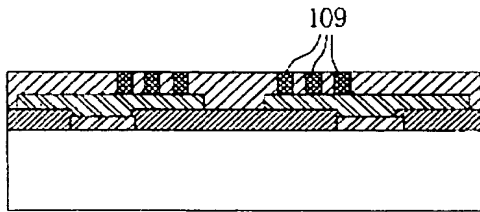
도면 3e



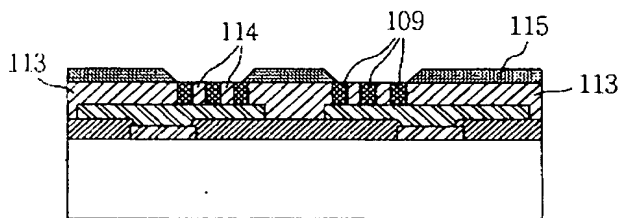
도면 3f



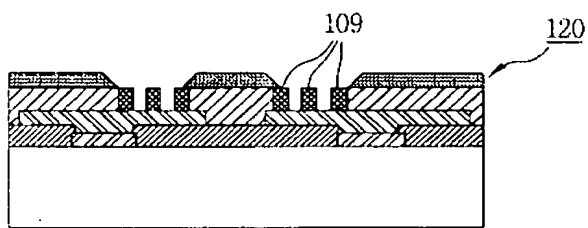
108



109b



109c



109d

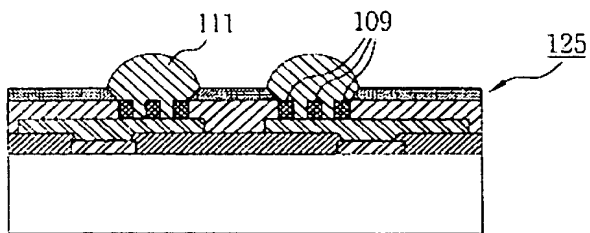


Fig. 4a

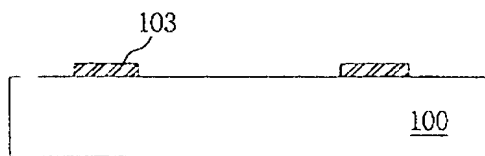


Fig. 4b



Fig. 4c

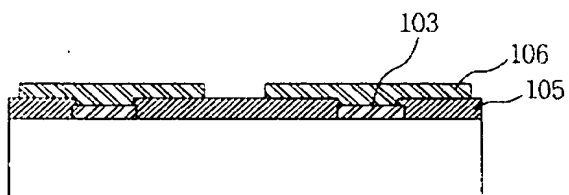


Fig. 4d

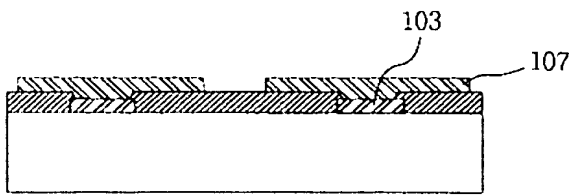


FIG. 4e

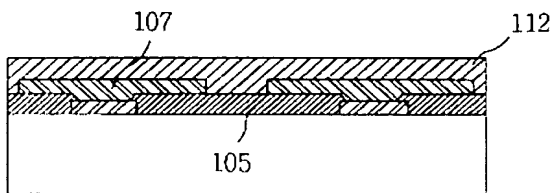


FIG. 4f

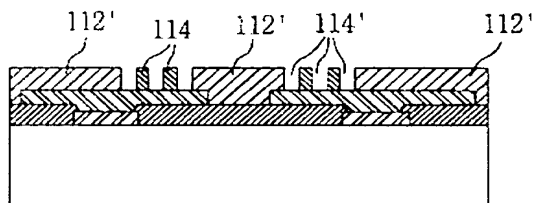


FIG. 4g

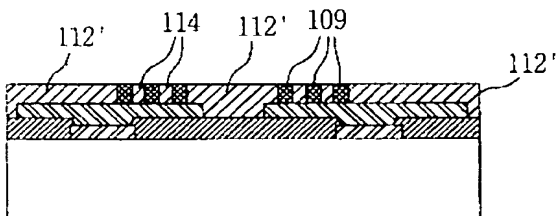


FIG. 4h

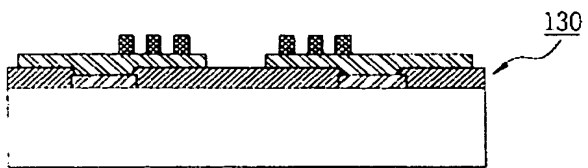


圖 4f

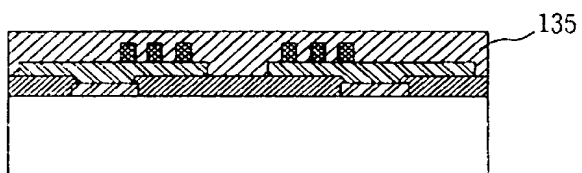


圖 4g

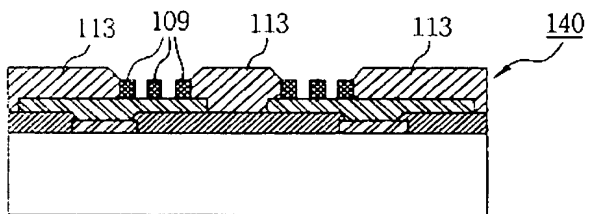


圖 4h

